



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1264160 A 1

(5D) 4 G 06 F 7/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3875275/24-24

(22) 26.03.85

(46) 15.10.86. Бюл. № 38

(72) Л.Б. Авгуль, В.И. Бенкевич,
В.А. Мищенко и А.П. Криницкий

(53) 681.3(088.8)

(56) Авторское свидетельство СССР
№ 962918, кл. G 06 F 7/00, 1981.

Авторское свидетельство СССР
№ 1119004, кл. G 06 F 7/00, 1983.

(54) УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ СИСТЕМ ЛОГИЧЕСКИХ ФУНКЦИЙ

(57) Изобретение относится к области вычислительной техники и предназна-

чено для реализации систем логических функций. Цель изобретения - повышение быстродействия устройства. Поставленная цель достигается тем, что устройство содержит m матриц памяти, два дешифратора, m групп элементов ИЛИ и m коммутаторов, две группы информационных входов, m выходов. При подаче переменных $\bar{x}_1, \bar{x}_k$ на первую группу входов и переменных x_{k+1}, x_n на вторую группу входов на выходах устройства реализуются логические функции $f_1 \dots f_m$ от n переменных. 2 ил.

(19) SU (11) 1264160 A 1

Изобретение относится к вычислительной технике и предназначено для реализации систем логических функций, описывающих работу цифровых преобразователей.

Цель изобретения - повышение быстродействия устройства для вычисления систем логических функций.

На фиг.1 приведена структурная схема предлагаемого устройства; на фиг.2 - функциональная схема устройства для рассматриваемого примера.

Устройство содержит первую 1 и вторую 2 группы информационных входов, m (по числу реализуемых устройством логических функций) выходов $3_1 - 3_m$, первый 4 и второй 5 дешифраторы, m матриц памяти $6_1 - 6_m$, m групп элементов ИЛИ $7_1 - 7_m$ и m коммутаторов $8_1 - 8_m$.

Первая 1 и вторая 2 группы информационных входов устройства соединены с входами первого 4 и второго 5 дешифраторов соответственно. Выходы первого дешифратора 4 соединены с адресными шинами матриц памяти $6_1 - 6_m$, выходы которых соединены с информационными входами коммутаторов $8_1 - 8_m$ соответственно. Выходы второго дешифратора 5 соединены с входами элементов ИЛИ $7_1 - 7_m$, выходы которых соединены с управляющими входами коммутаторов $8_1 - 8_m$ соответственно. Выходы коммутаторов $8_1 - 8_m$ являются выходами устройства $3_1 - 3_m$.

Устройство работает следующим образом.

Система m логических функций n переменных $f_i(x_1, x_n)$, $i=1, m$ разлагается по Шеннону по k ($k < n$) переменным x_1, x_k на функции $n-k$ переменных $\varphi_{ij}(x_{k+1}, x_n)$. Таким образом, каждой функции f_i соответствует 2^k функций ij .

Функции φ_{ij} размещаются в памяти так, что каждая из них занимает одно слово (строку) в i -й матрице памяти. Очевидно, одноименным разрядам S ($S=1, 2^{n-k}$) функций $\varphi_{ij}(x_{k+1}, x_n)$ ($j=1, 2^n$) будут соответствовать булевы функции $\varphi_{iS}(x_1, x_k)$, каждая из которых занимает S -й столбец в i -й матрице памяти. Следовательно, переменные x_{k+1}, x_n определяют функцию φ_{iS} в i -й матрице, а переменные x_1, x_k - значение выбранной функции φ_{iS} , которое совпадает со значением

функции $f_i(x_1, x_n)$ на данном наборе переменных x_1, x_n .

Если переменные x_1, x_k подать на первый дешифратор, выход которого подключить к адресным шинам матриц памяти, переменные x_{k+1}, x_n подать на второй дешифратор, выход которого подключить к управляющим входам коммутаторов, информационные входы которых соединить соответственно с выходами матриц памяти, то на выходе коммутаторов реализовываются функции $f_i(x_1, x_n)$.

Однако, с целью уменьшения аппаратных затрат все попарно тождественные функции $\varphi_{iS} = \varphi_{i\ell}$ ($S = 1, 2^{n-k}$, $\ell = 1, 2^{n-k}$, $S \neq \ell$), которым соответствуют сигналы на $S=m$ и $\ell=m$ выходах второго дешифратора, размещаются в памяти так, чтобы они занимали один столбец. Тогда соответствующий управляющий вход коммутатора подключается к выходу элемента ИЛИ, входы которого соединяются с $S=m$ и $\ell=m$ выходами второго дешифратора.

Более подробная работа предлагаемого устройства рассмотрена на примере реализации системы трех булевых функций пяти переменных (табл.1), а функциональная схема устройства для рассматриваемого примера приведена на фиг.2.

Разложим $f_1(x_1, x_5)$ по $k=2$ переменным (табл.2).

$$\begin{aligned} \text{Очевидно, } \varphi_{11} = \varphi_{12} = \varphi_{18} &= f_1(x_1, x_2); \\ \varphi_{13} = \varphi_{14} &= f_2(x_1, x_2); \\ \varphi_{15} = \varphi_{17} &= f_{11}(x_1, x_2); \\ \varphi_{16} &= f_3(x_1, x_2). \end{aligned}$$

Следовательно, функции $\varphi_{11}, \varphi_{12}, \varphi_{18}$ размещаются в одном столбце первой матрицы памяти 6_1 , выход которого подключается к информационному входу коммутатора 8_1 , соответствующий управляющий вход которого подключен к выходу элемента ИЛИ группы 7_1 , входы которого соединены с первым, вторым и восьмым выходами второго дешифратора 5.

Функции φ_{13} и φ_{14} , φ_{15} и φ_{17} также занимают по одному столбцу в матрице памяти 6_1 . Соответствующие управляющие входы коммутатора 8_1 также соединяются с выходами элементов ИЛИ группы 7_1 .

Поскольку функция φ_{16} не имеет тождественной функции, то соответствующий

ший ей управляющий вход коммутатора 8, непосредственно соединен с шестым выходом второго дешифратора 5.

Логические функции f_2 и f_3 реализуются аналогично.

Таким образом, при подаче переменных $x_1, \dots, x_k$ на входы 1 первого дешифратора 4 и переменных $x_{k+1}, \dots, x_n$ на входы 2 второго дешифратора 5 на выходах $3_1 - 3_m$ устройства реализуются логические функции $f_1 - f_m$ соответственно.

Т а б л и ц а 1

x_1	x_2	x_3	x_4	x_5	f	f	f
0	0	0	0	0	0	1	0
0	0	0	0	1	0	1	0
0	0	0	1	0	0	1	0
0	0	0	1	1	0	0	0
0	0	1	0	0	1	0	0
0	0	1	0	1	0	0	1
0	0	1	1	0	1	0	1
0	0	1	1	1	0	1	1
0	1	0	0	0	1	0	0
0	1	0	0	1	1	1	0
0	1	0	1	0	0	0	1
0	1	0	1	1	0	0	1
0	1	1	0	0	0	0	0
0	1	1	0	1	0	1	1
0	1	1	1	0	0	1	0
0	1	1	1	1	1	0	0
1	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0
1	0	0	1	0	1	0	1
1	0	0	1	1	1	0	1
1	0	1	0	0	1	0	0
1	0	1	0	1	1	1	0
1	0	1	1	0	1	1	1
1	0	1	1	1	0	1	1
1	1	0	0	0	0	1	1
1	1	0	0	1	0	0	1
1	1	0	1	0	0	1	1
1	1	0	1	1	0	0	1
1	1	1	0	0	1	0	1
1	1	1	0	1	1	0	0
1	1	1	1	0	1	0	0
1	1	1	1	1	0	0	0

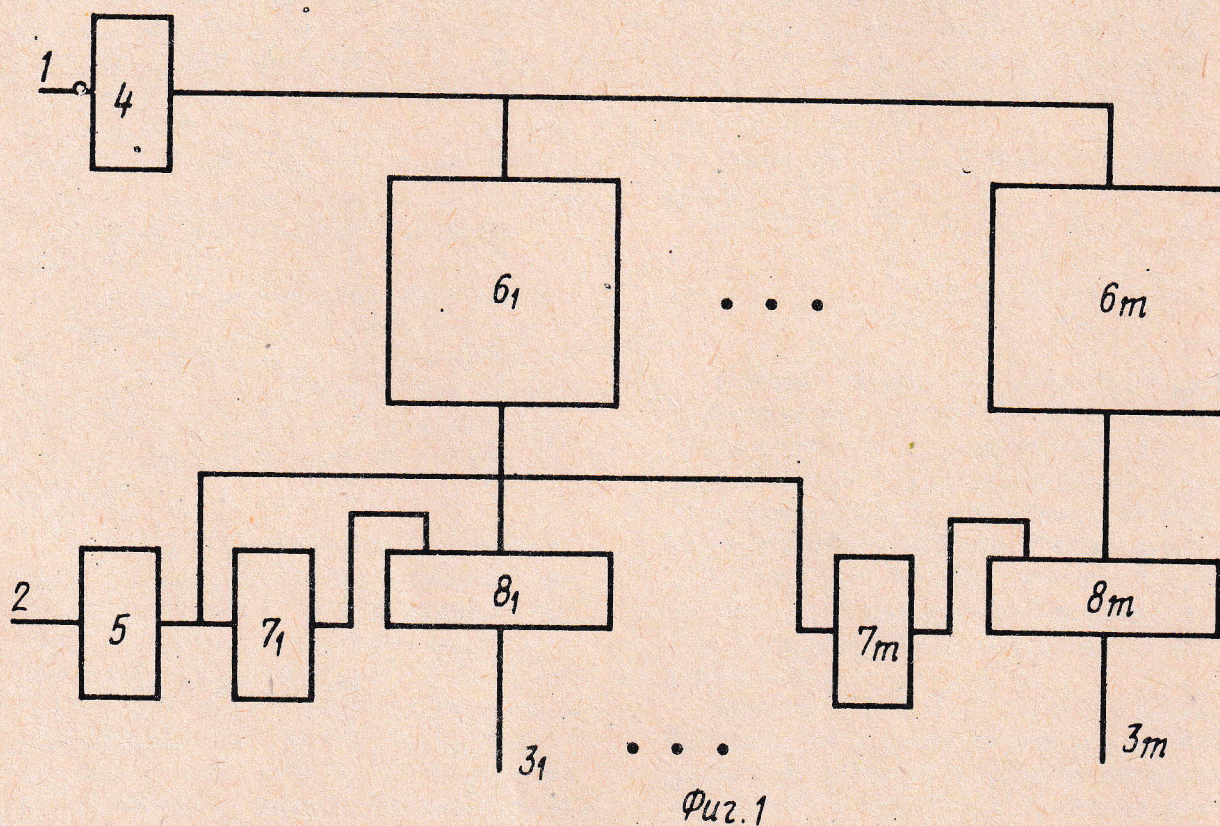
Т а б л и ц а 2

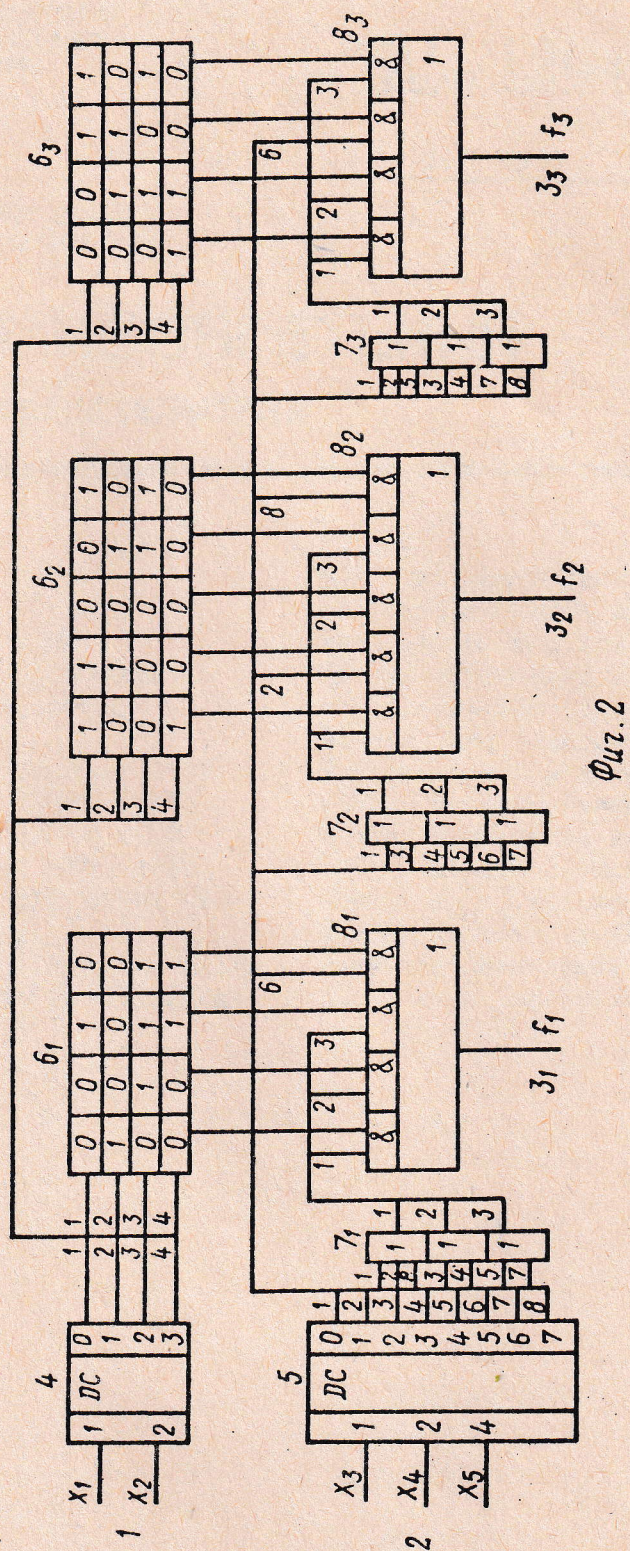
$\Psi_{ij} \backslash \Psi_{is}$	1	2	3	4	5	6	7	8
1	0	0	0	0	1	0	1	0
2	1	1	0	0	0	0	0	1
3	0	0	1	1	1	1	1	0
4	0	0	0	0	1	1	1	0

Ф о р м у л а и з о б р е т е н и я

Устройство для вычисления систем логических функций, содержащее первый и второй дешифраторы, m групп элементов ИЛИ (m — количество реализующих устройством логических функций), m коммутаторов и m блоков памяти, выходы каждого i -го ($i=1, m$) блока памяти соединены с информационными входами i -го коммутатора, выход которого является i -м выходом устройства, первая группа информационных входов которого соединена

со входами первого дешифратора, вторая группа информационных входов устройства соединена со входами второго дешифратора, отличающееся тем, что, с целью повышения быстродействия, выходы первого дешифратора соединены с адресными входами m блоков памяти, выходы второго дешифратора соединены со входами элементов ИЛИ групп с первой по m -ю выходы элементов ИЛИ i -й группы соединены с управляющими входами i -го коммутатора.





Редактор Т. Митейко Составитель О. Березикова Техред Корректор М. Пожо

Заказ 5562/48 Тираж 671 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4