



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1260939** **A 1**

(5D) 4 G 06 F 7/00

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 3867592/24-24

(22) 12.03.85

(46) 30.09.86. Бюл. № 36

(72) С.Н.Изотов, В.И.Костеневич,
В.А.Мищенко, Л.Б.Авгуль и М.М.Татур
(53) 681.3 (088.8)

(56) Авторское свидетельство СССР
№ 915073, кл. G 06 F 7/00, 1980.

Авторское свидетельство СССР
№ 1084781, кл. G 06 F 7/00, 1981.

(54) УНИВЕРСАЛЬНЫЙ ЛОГИЧЕСКИЙ МО-
ДУЛЬ

(57) Изобретение относится к области
автоматики и вычислительной техники.
Цель изобретения - повышение контро-
лепригодности модуля. Универсальный
логический модуль содержит информа-
ционные и настроечные входы, эле-
мент И-НЕ, элементы РАВНОЗНАЧНОСТЬ

и сумматор по модулю два. Модуль
работает в двух режимах. В рабочем
режиме на настроечный вход, соединен-
ный с первым входом элемента И-НЕ,
подается сигнал низкого уровня. Тог-
да в зависимости от сигналов на
других настроечных входах на выходе
модуля реализуется любая булева функ-
ция двух переменных. В режиме конт-
роля на первый вход элемента И-НЕ
подается сигнал высокого уровня.
Тогда при подаче на остальные входы
модуля соответствующего тестового на-
бора на выходе будет наблюдаться ме-
андр с периодом 6τ (τ - время за-
держки сигнала на одном элементе).
Отсутствие меандра указывает на на-
личие в модуле неисправности. 1 ил.,
1 табл.

Областная библиотека
г. Псков
Профсоюзная А. В.

(19) **SU** (11) **1260939** **A 1**

Изобретение относится к автоматике и вычислительной технике.

Цель изобретения - повышение контролепригодности модуля.

На чертеже представлена функциональная схема универсального логического модуля.

Модуль содержит настроечные входы 1-5, информационные входы 6 и 7, элемент 8 И-НЕ, элементы 9-11 РАВНОЗНАЧНОСТЬ, сумматор 12 по модулю два, выход 13.

Модуль функционирует следующим образом.

Если сигнал на выходе элемента 8 И-НЕ равен единице, т.е. сигнал $I_1 = 0$, а на информационные входы 6 и 7 соответственно подать переменные x_1, x_2 , то при простом алфавите настройки $\{0,1\}$ в зависимости от сигналов настройки I_2, I_3, I_4, I_5 на входах 2-5 на выходе 13 реализуется любая булева функция переменных (таблица).

В таблице приведен тип реализуемой функции в зависимости от комбинации сигналов на настроечных входах

Тип реализуемой функции	Комбинации сигналов на настроечных входах			
	2	3	4	5
0	0	0	0	0
$x_1 x_2$	0	0	0	0
x_2	0	0	1	0
$x_1 x_2$	0	0	1	1
x_1	0	1	0	0
$x_1 \bar{x}_2$	0	1	0	1
$x_1 x_2 \vee x_1 \bar{x}_2$	0	1	1	0
$x_1 \vee x_2$	0	1	1	1
1	1	0	0	0
$\bar{x}_1 \vee \bar{x}_2$	1	0	0	1
$\bar{x}_2$	1	0	1	0

Тип реализуемой функции	Комбинации сигналов на настроечных входах			
	2	3	4	5
$x_1 \vee \bar{x}_2$	1	0	1	1
$\bar{x}_1$	1	1	0	0
$x_1 \vee x_2$	1	1	0	1
$\bar{x}_1 \bar{x}_2 \vee x_1 x_2$	1	1	1	0
$\bar{x}_1 \bar{x}_2$	1	1	1	1

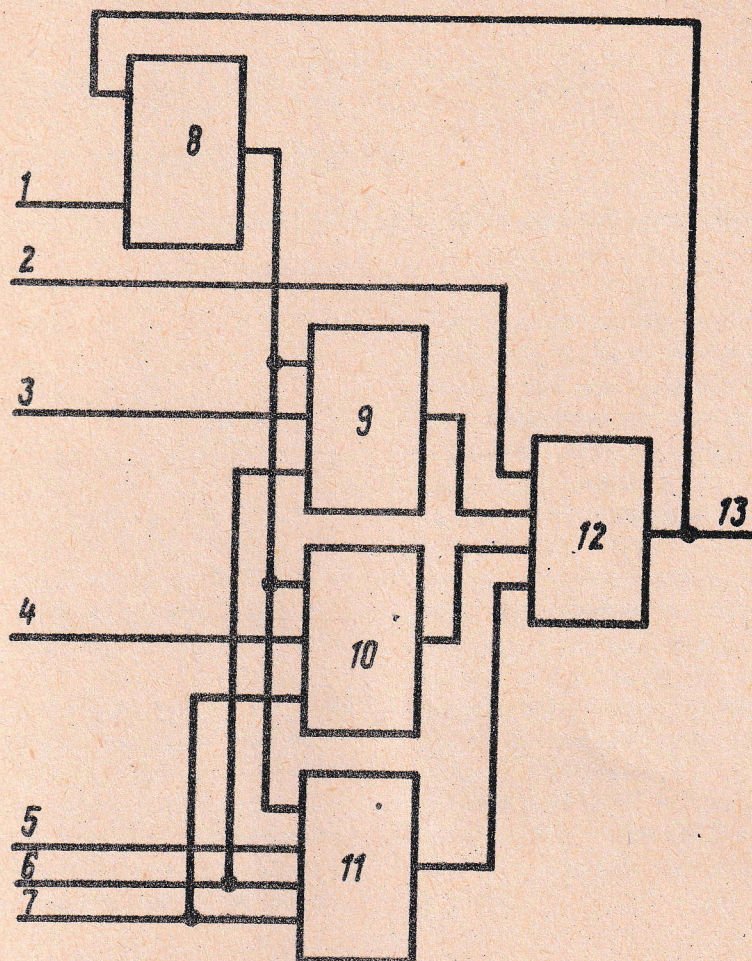
В режиме контроля, если сигнал $I_1 = 1$ и на настроечные и информационные входы 2-7 соответственно подать сигналы (011111) или (100000), то при правильном функционировании модуля на выходе 13 будет наблюдаться меандр с периодом $6T$. При неправильном функционировании меандра на выходе 13 не будет.

Ф о р м у л а и з о б р е т е н и я

Универсальный логический модуль, содержащий первый, второй и третий элементы РАВНОЗНАЧНОСТЬ, причем первый и второй настроечные входы модуля соединены с первыми входами первого и второго элементов РАВНОЗНАЧНОСТЬ соответственно, отличающийся тем, что, с целью повышения контролепригодности, в него введены сумматор по модулю два и элемент И-НЕ, причем первый информационный вход модуля соединен с первым входом третьего элемента РАВНОЗНАЧНОСТЬ и вторым входом первого элемента РАВНОЗНАЧНОСТЬ, второй информационный вход модуля соединен с вторыми входами второго и третьего элементов РАВНОЗНАЧНОСТЬ, третий, четвертый и пятый настроечные входы модуля соединены соответственно с третьим входом третьего элемента РАВНОЗНАЧНОСТЬ, первым входом элемента И-НЕ и первым входом сумматора по модулю два, второй, третий и четвертый входы которого соединены с выходами первого, второго и третьего элементов РАВНОЗНАЧНОСТЬ соответственно, выход сумматора по модулю

два соединен с выходом модуля и вторым входом элемента И-НЕ, выход которого соединен с третьими входами

первого и второго элементов РАВНОЗНАЧНОСТЬ и четвертым входом третьего элемента РАВНОЗНАЧНОСТЬ.



Составитель А.Федоров

Редактор Т.Парфенова

Техред А.Кравчук

Корректор М.Максимилинец

Заказ 5232/49

Тираж 671

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д.4/5

Производственно-полиграфическое предприятие, г.Ужгород, ул. Проектная, 4